

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-257024

(43)公開日 平成4年(1992)9月11日

(51) Int.Cl. [*] G 06 F 7/00 7/552	識別記号 B 2116-5B 8323-5B	序内整理番号 F I	技術表示箇所 G 06 F 7/00
---	------------------------------	---------------	-----------------------

審査請求 未請求 挑戦項の数1(全10頁)

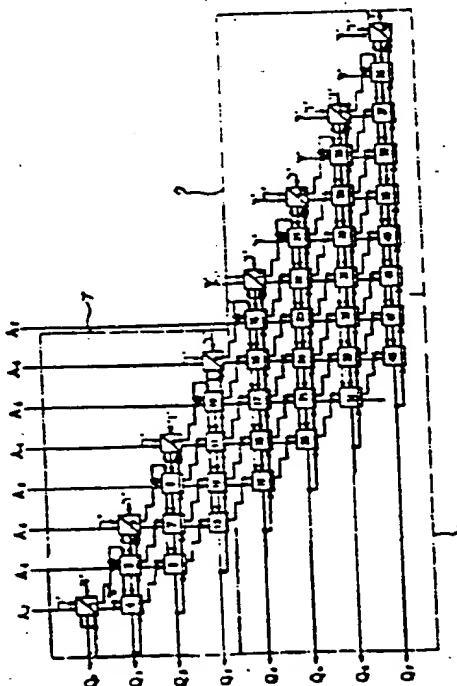
(21)出願番号 特願平3-18727	(71)出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22)出願日 平成3年(1991)2月12日	(72)発明者 木虎 義詞 東京都大田区中馬込1丁目3番6号 株式 会社リコー内

(54)【発明の名称】開平器

(57)【要約】

【目的】 計算時間が短く、回路構成が複雑とならない
開平器を提供する。

【構成】 加算器55、マルチブレクサ56等から構成
される第1の演算素子1、2、5等と、インクリメンタ
50、加算器52等から構成される第2の演算素子3、
4、6等と、を該開平数のビット長及び開平数のビット
長に応じて直列及び複数段に接続したことを特徴とす
る。



【特許請求の範囲】

【請求項1】 被開平数を構成するビットデータあるいは0のデータ並びに反転入力データ及びキャリデータに基づいて加算演算を行い加算結果データ及びキャリデータを送出する加算器と、選択データに基づき上記加算結果データ又は上記被開平数を構成するビットデータあるいは0のデータのどちらかを第1の出力データとして送出する第1の選択回路と、上記選択データに基づき1あるいは0のデータのどちらかを選択し第2の出力データとして送出する第2の選択回路と、を備えた第1の演算素子と、インクリメンタ出力データにインクリメンタキャリデータをインクリメントし上記インクリメンタ出力データ及び上記インクリメンタキャリデータを送出するインクリメンタと、該インクリメンタの反転出力データと被開平数を構成するビットデータあるいは0のデータあるいは出力データ並びにキャリデータに基づいて加算演算を行い加算結果データ及びキャリデータを送出する加算器と、選択データに基づき上記加算結果データ又は被開平数を構成するビットデータあるいは0のデータあるいは出力データのどちらかを選択し上記出力データとして送出する選択回路と、を備えた第2の演算素子と、を被開平数のビット長及び開平数のビット長に応じて直列及び複数段に接続したことを特徴とする開平器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、開平器に関する。

【0002】

【従来の技術とその課題】 2進数の開平演算方式として、例えば特公昭59-2055号公報に開示された技術がある。即ち、被開平数の最上位ビットより下位ビット方向へ各ビット毎に演算を繰り返すことで、開平値の各ビット毎の値を求め被開平数の最下位ビットの演算が終了した時点で最終的に開平数値が求まる。したがって、被開平数が例えば8ビットから構成されていれば、開平値を求めるためには同様の計算を8回繰り返す必要があり、計算時間が大きくなるという問題点がある。又、上記公報に開示される開平器は、開平器の構成部分としてシフトレジスタ等を含んでおり、それらの動作を制御するための制御回路が必要であり回路構成が複雑になるという問題点もある。本発明はこのような問題点を解決するためになされたもので、計算時間が短く、回路構成が複雑とならない開平器を提供することを目的とする。

【0003】

【課題を解決するための手段】 本発明は、被開平数を構成するビットデータあるいは0のデータ並びに反転入力データ及びキャリデータに基づいて加算演算を行い加算結果データ及びキャリデータを送出する加算器と、選択データに基づき上記加算結果データ又は上記被開平数を構成するビットデータあるいは0のデータのどちらかを

第1の出力データとして送出する第1の選択回路と、上記選択データに基づき1あるいは0のデータのどちらかを選択し第2の出力データとして送出する第2の選択回路と、を備えた第1の演算素子と、インクリメンタ出力データにインクリメンタキャリデータをインクリメントし上記インクリメンタ出力データ及び上記インクリメンタキャリデータを送出するインクリメンタと、該インクリメンタの反転出力データと被開平数を構成するビットデータあるいは0のデータあるいは出力データ並びにキャリデータに基づいて加算演算を行い加算結果データ及びキャリデータを送出する加算器と、選択データに基づき上記加算結果データ又は被開平数を構成するビットデータあるいは0のデータあるいは出力データのどちらかを選択し第2の出力データとして送出する選択回路と、を備えた第2の演算素子と、を被開平数のビット長及び開平数のビット長に応じて一あるいは複数個直列に接続してなる段を複数段に接続したことを特徴とする。

【0004】

【作用】 このように構成することで、第1の演算素子及び第2の演算素子にて構成される各段から開平数を構成する各ビットデータが送出され、各ビットデータの算出演算毎にそれぞれ独自の演算時間を有する。又、第1及び第2の演算素子にはレジスタ、シフタ等の動作制御を必要とする素子を含んでいないので、上記演算素子は開平器の回路構成が複雑化しないよう作用している。

【0005】

【実施例】 本発明の開平器の一実施例における構成を被開平数のビット数がA0ないしA7より構成される8ビットである場合を例に図1に示す。尚、図1には本実施例の開平器全体の構成を示し、枠アにて囲まれる演算素子1ないし13について部分拡大したものを図2に示し、枠イにて囲まれる演算素子15ないし19、23ないし26、32ないし34、42及び43について部分拡大したものを図3に示し、枠ウにて囲まれる演算素子14、20ないし22、27ないし31、35ないし41について部分拡大したものを図4に示す。尚、図2ないし図3において、各演算素子間の接続の対応関係を“あ”ないし“ね”にて示している。

【0006】 演算素子3、4、6ないし8、10ないし13、15ないし19、21ないし26、28ないし34、36ないし43のそれぞれは、図5に示すようにIC1端子にインクリメントキャリー入力データIC1、DC1端子にデータキャリー入力データDC1、DI端子には被開平数のビットデータに相当する入力データDI、II端子にインクリメント入力データII、SI端子に出力データ選択データS1のそれぞれが入力され、これらの入力データに基づき開平演算を行い、ICO端子よりインクリメントキャリー出力データICO、DCO端子よりデータキャリー出力データDCO、IO端子よりインクリメント出力データIO、DO端子より出力

3

データDOをそれぞれ出力する。尚、演算素子によってはインクリメントキャリー出力データICO及び出力データDOを外部へ出力しないものもある。

【0007】上述した演算素子3等の具体的な構成は、図6に示すようにインクリメンタ50、インバータ51、フルアダー52、マルチブレクサ53から構成される。インクリメンタ50は、インクリメント入力データI1及びインクリメントキャリー入力データIC1が供給され、インクリメント入力データI1のインクリメントを行ない、その結果におけるキャリーデータであるインクリメントキャリー出力データICOと結果データであるインクリメント出力データIOとを送出する。フルアダー52は、インバータ51を介することで反転したインクリメント出力データIOが供給され、入力データDI及びデータキャリー入力データDCIが供給され、これら供給データの加算を行いデータキャリー出力データDCOと加算結果(いわゆるサム)を送出する。マルチブレクサ53は、上記加算結果と上記入力データDIとが供給され、これらのどちらかを供給される出力データ選択データSIにて選択し送出する回路であり、供給される出力データ選択データSIが0であれば入力データDIを出力し、出力データ選択データSIが1であれば上記加算結果を出力する。

【0008】演算素子1、2、5、9、14、20、27、35のそれぞれは、図7に示すようにDCI端子にデータキャリー入力データDCI、DI端子には被開平数に相当する入力データDI、DI'端子に入力データDI'、SI端子及びSI'端子に出力データ選択データSI及びSI'のそれぞれが入力され、これらの入力データに基づき開平演算を行い、DCO端子よりデータキャリー出力データDCO、IO端子よりインクリメント出力データIO、DO端子より出力データDOをそれぞれ出力する。

【0009】上述した演算素子1等の具体的な構成は、図8に示すように、インバータ54、フルアダ-55、マルチブレクサ56及びマルチブレクサ57から構成される。フルアダ-55は、インバータ54を介することで反転した入力データDI'、入力データDI及びデータキャリー入力データDCIが供給され、これら供給データの加算を行いデータキャリー出力データDCOと加算結果とを送出する。マルチブレクサ56は、上記加算結果と上記入力データDIとが供給され、これらのどちらかを供給される出力データ選択入力データSIにて選択し出力データDOとして送出する回路であり、供給される出力データ選択データSIが0であれば入力データDIを出力し、出力データ選択データSIが1であれば上記加算結果を出力す。マルチブレクサ57は、供給される“1”及び“0”的データのいづれかを上記出力データ選択データSIと同一データである選択データSI'にて選択しインクリメント出力データIOとして送

出する回路であり、選択データSI'が0であればインクリメント出力データとして0を出し、選択データSI'が1であればインクリメント出力データとして1を送出する。尚、演算素子1等において、入力データDI'は1に固定され、データキャリー入力データDCIも1に固定されている。

【0010】図1ないし図4を参照し本実施例の構成を説明する。被開平数が8ビットであり開平数も8ビットにて出力する場合、開平数のビットデータであるQ0ないしQ7は、ビットデータQ0が演算素子1より送出され、ビットデータQ1ないしQ7が演算素子群より送出される。即ち、図1に示すように、1段目に配列される演算素子1よりビットデータQ0が送出され、2段目に配列される演算素子2ないし4にてビットデータQ1が送出され、3段目に配列される演算素子3ないし8にてビットデータQ2が送出され、以下図示の如く各段に演算素子が配列され開平数のビットデータQ3ないしQ7を送出する。このように複数段に演算素子を配列し本実施例の開平器を構成している。さらに詳しく開平器の構成を以下に説明する。

【0011】図2に示すように、1段目に配置される演算素子1のDCI端子1aには上記データキャリー入力データDCIとして1が供給され、DI端子1dには上記入力データDIとして被開平数Aの最下位ビットデータA0が供給され、DI'端子1cには上記入力データDI'として1が供給される。上記データキャリー出力データDCOが送出されるDCO端子1bは、開平数の最下位ビットデータQ0の出力端子に接続されるとともに、SI端子1g及びSI'端子1hに接続され、データキャリー出力データDCOは出力データ選択データSI、SI'として演算素子1に供給されることになる。又、上記出力データDOを送出するDO端子1eは、開平数のビットデータQ1を送出する2段目に配列される演算素子4のD1端子4dに接続され、上記インクリメント出力データIOを送出するIO端子1fは、上記2段目に配列される演算素子3のII端子3c及びIC1端子3lに接続される。

【0012】2段目について、演算素子2には上述した演算素子1と同様に、DCI端子2aには1が供給され、DI端子2dには被開平数AのビットデータA2が供給され、DI'端子2cには1が供給される。DCO端子2bは、演算素子3のDCI端子3aに接続され、DO端子2eは、開平数のビットデータQ2を送出する3段目に配列される演算素子7のD1端子7dに接続され、IO端子2fは、上記3段目に配列される演算素子6のII端子6c及びIC1端子6lに接続される。

【0013】演算素子3において、DI端子3dには被開平数AのビットデータA1が供給され、ICO端子3hは演算素子4のIC1端子4iに接続され、DCO端子3bは演算素子4のDCI端子4aに接続され、DO

端子 3 e は 3 段目に配列される演算素子 8 の D I 端子 8 d に接続され、I O 端子 3 f は 演算素子 7 の I I 端子 7 c に接続される。

【0014】演算素子 4において、I I 端子 4 c には 0 が供給され、DCO 端子 4 b は 開平数のビットデータ Q 1 の出力端子に接続されるとともに、2 段目に配列される各演算素子 2, 3, 4 の S I 端子 2 g, 3 g, 4 g 及び演算素子 2 の S I' 端子 2 h に接続され、演算素子 4 より送出されるデータキャリー出力データ DCO は出力データ選択データ S I, S I' として演算素子 2, 3, 4 に供給されることになる。I O 端子 4 f は 演算素子 8 の I I 端子 8 c に接続される。尚、演算素子 4 では I CO 端子及び D O 端子はいずれにも接続されない。

【0015】3 段目について、演算素子 5 には 上述した演算素子 1, 2 と同様に、DCI 端子 5 a には 1 が供給され、D I 端子 5 d には 閉平数 A のビットデータ A 4 が供給され、D I' 端子 5 c には 1 が供給される。DCO 端子 5 b は、演算素子 6 の DCI 端子 6 a に接続され、D O 端子 5 e は、開平数のビットデータ Q 3 を送出する 4 段目に配列される演算素子 1 1 の D I 端子 11 d に接続され、I O 端子 5 f は、上記 4 段目に配列される演算素子 1 0 の I I 端子 10 c 及び I CI 端子 10 i に接続される。

【0016】演算素子 6 において、D I 端子 6 d には 閉平数 A のビットデータ A 3 が供給され、I CO 端子 6 h は 演算素子 7 の I CI 端子 7 i に接続され、DCO 端子 6 b は 演算素子 7 の DCI 端子 7 a に接続され、D O 端子 6 e は 4 段目に配列される演算素子 1 2 の D I 端子 12 d に接続され、I O 端子 6 f は 演算素子 1 1 の I I 端子 11 c に接続される。

【0017】演算素子 7 において、I CO 端子 7 h は 演算素子 8 の I CI 端子 8 i に接続され、DCO 端子 7 b

は 演算素子 8 の DCI 端子 8 a に接続され、D O 端子 7 e は 4 段目に配列される演算素子 1 3 の D I 端子 13 d に接続され、I O 端子 7 f は 演算素子 1 2 の I I 端子 12 c に接続される。

【0018】演算素子 8 において、DCO 端子 8 b は 開平数のビットデータ Q 2 の出力端子に接続されるとともに、3 段目に配列される各演算素子 5 ないし 8 の S I 端子 5 g ないし 8 g 及び演算素子 5 の S I' 端子 5 h に接続され、演算素子 8 より送出されるデータキャリー出力データ DCO は 出力データ選択データ S I, S I' として 演算素子 5 ないし 8 に供給されることになる。I O 端子 8 f は 演算素子 1 3 の I I 端子 13 c に接続される。尚、演算素子 8 では I CO 端子及び D O 端子はいずれにも接続されない。

【0019】以下同様にして 4 段目から 8 段目を構成する各演算素子が接続される。尚、5 段目から 8 段目までにおいて、5 段目に配列される演算素子 1 5 の D I 端子には ビットデータ A 7 が供給されるがそれ以外の演算素子 1 4, 2 0, 2 1, 2 7, 2 8, 3 5, 3 6 の D I 端子には、0 が供給される。

【0020】以上にて本開平器が構成される。このように構成される開平器の動作を以下に説明する。尚、本実施例の開平器の開平動作は 演算シフト法の一種であり、該開平数の平方根値を上位桁より順に求めて行くものである。例えば該開平数 A が (A0, A1, A2, A3, A4, A5, A6, A7) の 8 ビットからなる 1, 1 0 1 0 1 0 1 である場合を例に、図 1 ないし 図 8 及び図 9 ないし 図 2 9 を参考し「表 1」に従い説明する。尚、各図において同じ符号、記号については同じものを用いている。

30 【0021】

【表 1】

段目		インクリメンター	フルアダ	DCI	マルチプレクタ	正方根
1段目			1-40 -1 10	DCI-1	マルチプレクタ 5 6 0 マルチプレクタ 5 7 1	
2段目	0 1 +1 1 0		0 1 0 -42 -1 0 1 0 1 0	DCI-2	マルチプレクタ 3 6 10. マルチプレクタ 5 7 0	0
3段目	1 0 0 +1 1 0 0		1 0 1 5 -44 -1 0 0 1 1 0 0 1	DCI-3	マルチプレクタ 5 6 001 マルチプレクタ 5 7 1	1
4段目	1 0 0 1 +1 1 0 1 0		0 0 1 1 0 -45 -1 0 1 0 1 0 1 0 0 1	DCI-4	マルチプレクタ 3 6 0110 マルチプレクタ 5 7 0	0
5段目	1 0 1 0 0 +1 1 0 1 0 0		0 1 1 0 1 0 -47 -1 0 1 0 0 1 1 0 1 0 0 1	DCI-5	マルチプレクタ 3 6 11010 マルチプレクタ 5 7 0	0
6段目	1 0 1 0 0 0 +1 1 0 1 0 0 0		1 1 0 1 0 0 0 -48 -1 0 1 0 0 0 1 0 0 1 0 1 1 1	DCI-6	マルチプレクタ 3 6 010111 マルチプレクタ 5 7 :	:
7段目	1 0 1 0 0 0 1 +1 1 0 1 0 0 1 0		0 1 0 1 1 1 0 0 -49 -1 0 1 0 0 1 0 1 0 1 0 1 1 0 1 1	DCI-7	マルチプレクタ 5 8 1011100 マルチプレクタ 5 7 0	0
8段目	1 0 1 0 0 1 0 0 +1 1 0 1 0 0 1 0 0		1 0 1 1 1 0 0 0 0 -50 -1 0 1 0 0 1 0 0 1 1 0 0 0 1 0 0 1 0	DCI-8		1

【0022】1段目の演算素子1において、図9に示すようにフルアダ55にはDI端子1dを介して被開平数の最上位ビットのデータA0である1が供給され、一方、DCI端子1aには1のデータが供給されDI端子1cに供給される1のデータがインバータ54を介して供給されることより、フルアダ55は結果的に図10に示すように1ビット減算器として動作しDI端子入0に示すように1ビット減算演算を行う。データからDI端子入力データの減算演算を行う。この減算結果であるsum(1)の値は、表1内の初段に示すように0(2進数である。以下特記しない限り2進数を示す。)となり、sum(1)のデータは図8及び図11に示すようにマルチブレクサ56へ送出する。

【0023】尚、フルアダ55は、入力データについて減算演算が実行できた場合には1のデータを、実行不可の場合には0のデータをDCO端子1bから出し、今、DCO端子1bからはデータキャリー出力データとして1のデータが送出される。又、上記データキャリー出力データDCOは開平数の最上位ビットデータQ0となり、表1に示す“平方根”的欄の初段に示すようにその値は1となる。さらに、データキャリー出力データD COは、出力データ選択データS1及びS1'となり、マルチブレクサ56及びマルチブレクサ57にそれぞれ供給される。尚、初段には演算素子1のみが配列されているのでDCO端子より送出される減算演算の可否を示すデータは演算素子1より送出されたが、2段目以降では同一段に複数の演算素子が配列されるので、上記減算演算可否を示すデータは開平数のビットデータを送出する、各段の最尾の演算素子より送出されたデータにて減算演算可否を判断する。又、表1の各段のフルアダの欄において、点線で囲んだデータが上記減算演算可否を示すデータを示している。

【0024】マルチブレクサ56には、図11に示すようにフルアダ55が送出するsum(1)のデータである0のデータとDI端子1dへの供給データである1のデータとが供給され、図12に示すように1ビットマルチブレクサとして動作し、マルチブレクサ56は選択データS1が1であるから上記減算結果である0のデータをDO端子1eを介して2段目に配列される演算素子4のDI端子4dに送出する。

【0025】一方マルチブレクサ57は、図13に示すようにS1'入力端子1hに入力される選択データS1'が1であることより供給データの内、1のデータを選択しこれをIO端子1fを介して2段目に配列される演算素子3のII端子3cとIC1端子3iに送出する。

【0026】2段目には、演算素子2ないし4が配列されるが最初に演算素子3及び4に設けられるインクリメンタ50の動作について説明する。図14に示すように演算素子3のインクリメンタ50-3にはII端子3cを介して演算素子1のIO端子1fより1のデータが供

給され、演算素子4のインクリメンタ50-4にはII端子3cを介して0のデータが供給される。又、演算素子3のIC1端子3iを介して演算素子1のIO端子1fより1のデータが供給される。よってインクリメンタ50-3及び50-4は、図15に示すように2ビットのデータを処理するインクリメンタとなり、端子符号にて説明すると(4c, 3c) : ? ! の演算、データで説明すると表1の2段目のインクリメンタの欄に示すように(01) + 1の演算を行う。これらのインクリメンタ50-3及び50-4から送出されるデータは後述する50-3及び50-4へ供給される。

【0027】演算素子2ないし4に設けられるフルアダにおいて、図16に示すように演算素子2のフルアダ55-2には、DI端子2c及びインバータ54-2を介して1のデータが、DI端子2dを介して被開平数のビットデータであるA2が、DCI端子2aを介して1のデータがそれぞれ供給され、演算素子3及び4のフルアダ52-3及び52-4には、DI端子3dを介して被開平数のビットデータであるA1が供給され、上述したインクリメンタ50-3及び50-4の出力データである1及び0のデータがそれぞれインバータ51-3, 51-4を介して供給され、演算素子1のDO端子1eから送出された0のデータが端子4dを介してそれぞれ供給される。又、各フルアダ55-2, 52-3, 52-4の間ではキャリデータの入出が行われる。よって、フルアダ55-2, 52-3, 52-4は、図17に示すように3ビットデータを処理する加算器と考えられ、さらにインバータ51-3, 51-4, 54-2を省くと図18に示すように3ビットデータを処理する減算器と考えることができ、フルアダ55-2, 52-3, 52-4は、上述の端子符号で説明すると(4d, 3d, 2d) - (4f, 3f, 2c)の演算、データにて説明すると表1の2段目のフルアダの欄に示すように(01) - (101)の演算を実行する。

【0028】該演算の場合、減算が行えないことより、フルアダ52-4が設けられる演算素子4のDCO端子4bからは0のデータが送出され、この0のデータは開平数のビットデータQ1となり、表1に示す“平方根”的欄の2段目に示すようにその値は0となる。さらに、データキャリー出力データDCOは、出力データ選択データS1及びS1'となり、演算素子2ないし4のマルチブレクサ53, 56あるいはマルチブレクサ57にそれぞれ供給される。

【0029】図19に示すように演算素子2に設けられたマルチブレクサ56-2には、フルアダ55-2の出力データであるsum(2)とDI端子2dより被開平数のビットデータA2が供給され、演算素子3に設けられたマルチブレクサ53-3には、フルアダ52-3の出力データであるsum(3)とDI端子3dより被開平数のビットデータA1が供給され、演算素子4に設けられたマ

ルチブレクサ53-4には、フルアダ52-4の出力データであるsum(4)と演算素子1のDO端子1eよりデータsum(1)とがそれぞれ供給される。

【0030】これらのマルチブレクサ56-2、53-3及び53-4のSI端子2g、3g、4gにはともに0のデータが供給される。よって、マルチブレクサ56-2、53-3及び53-4は、図20に示すように3ビットのデータを処理するマルチブレクサと考えられ、該マルチブレクサは(sum(2)ないしsum(4))のデータと、端子4d、3d、2dに供給される(sum(1)、1、0)のデータとのいずれかを出力データ選択データにより選択する。上述したように出力データ選択データは0であることより該マルチブレクサは(sum(1)、1、0)のデータを選択する。尚、演算素子4のDO端子は設けられていないので該端子に送出されるsum(1)のデータは出力されず、該マルチブレクサより送出されるデータは表1の2段目のマルチブレクサの欄に示すように1及び0のデータである。即ち、演算素子2のDO端子2eより0のデータが送出され、演算素子3のDO端子3eより1のデータが送出される。

【0031】又、演算素子2に設けられるマルチブレクサ57-2には、図21に示すように端子2hには上述した出力データ選択データである0のデータが供給されることより、表1の2段目の、マルチブレクサの欄に示すように0のデータが演算素子2のIO端子2fより送出される。

【0032】3段目には、演算素子5ないし8が配列されるが最初に演算素子6ないし8に設けられるインクリメンタ50の動作について説明する。図22に示すように演算素子6のインクリメンタ50-6にはII端子6cを介して演算素子2のIO端子2fより0のデータが供給され、演算素子7のインクリメンタ50-7には演算素子3のIO端子3fからI1端子7cを介して0のデータが供給され、演算素子8のインクリメンタ50-8には演算素子4のIO端子4fからII端子8cを介して1のデータが供給される。又、演算素子6のIC1端子6iを介して演算素子2のIO端子2fより0のデータが供給される。よってインクリメンタ50-6ないし50-8は、図23に示すように3ビットのデータを処理するインクリメンタとなり、端子符号にて説明すると(8c、7c、6c)+6iの演算、データで説明すると表1の3段目のインクリメンタの欄に示すように(100)+0の演算を行う。これらのインクリメンタ50-6ないし50-8から送出されるデータは後述するフルアダ52へ供給される。

【0033】演算素子5ないし8に設けられるフルアダにおいて、図24に示すように演算素子5のフルアダ53-5には、DI'端子5c及びインバータ54-5を介して1のデータが、DI端子5dを介して被開平数のビットデータであるA4が、DCI端子5aを介して1

のデータがそれぞれ供給され、演算素子6ないし8のフルアダ52-6ないし52-8には、DI端子6dを介して被開平数のビットデータであるA3が供給され、上述したインクリメンタ50-6ないし50-8の出力データである1、0、0のデータがそれぞれインバータ51-6ないし51-8を介して供給され、演算素子2のDO端子2eから送出されたのデータが端子7dを介してそれぞれ供給され、演算素子3のDO端子3eから送出された1のデータが端子8dを介してそれぞれ供給される。又、各フルアダ55-5、52-6ないし52-8の間ではキャリーデータの入出が行われる。よって、フルアダ55-5、52-6ないし52-8は、図25に示すように4ビットのデータを処理する加算器と考えられ、さらにインバータ51-6ないし51-8、54-5を省くと図26に示すように4ビットデータを処理する減算器と考えることができ、フルアダ55-5、52-6ないし52-8は、上述の端子符号で説明すると(8d、7d、6d、5d)-(8f、7f、6f、5c)の演算、データにて説明すると表1の3段目のフルアダの欄に示すように(1010)-(1001)の演算を実行する。

【0034】該演算の場合、減算は可能であるから、フルアダ52-8が設けられる演算素子8のDCO端子8bからは1のデータが送出され、この1のデータは開平数のビットデータQ2となり、表1に示す平方根の欄の3段目に示すようにその値は1となる。さらに、データキャリー出力データDCOは、出力データ選択データS1及びS1'となり、演算素子5ないし8のマルチブレクサ53、56あるいはマルチブレクサ57にそれぞれ供給される。

【0035】図27に示すように演算素子5に設けられたマルチブレクサ56-5には、フルアダ55-5の出力データであるsum(5)とDI端子5dより被開平数のビットデータA4とが供給され、演算素子6に設けられたマルチブレクサ53-6には、フルアダ52-6の出力データであるsum(6)とDI端子6dより被開平数のビットデータA3とが供給され、演算素子7に設けられたマルチブレクサ53-7には、フルアダ52-7の出力データであるsum(7)と演算素子2のDO端子2eよりデータsum(2)とが供給され、演算素子8に設けられたマルチブレクサ53-8には、フルアダ52-8の出力データであるsum(8)と演算素子3のDO端子3eよりデータsum(3)とがそれぞれ供給される。

【0036】これらのマルチブレクサ56-5、53-6ないし53-8のSI端子5gないし8gには、出力データ選択データとしてともに1のデータが供給される。よって、マルチブレクサ56-5、53-6ないし53-8は、図28に示すように4ビットのデータを処理するマルチブレクサと考えられ、該マルチブレクサは(sum(8)ないしsum(5))のデータと、端子8d、7d、

11

6 d, 5 d に供給される (sum(3), sum(2), 1, 0) のデータとのいずれかを出力データ選択データにより選択する。上述したように出力データ選択データは 1 であることより該マルチブレクサは (sum(8), sum(7), sum(6), sum(5)) のデータを選択する。尚、演算素子 8 の D O 端子は設けられていないので該端子に送出される sum(8) のデータは出力されず、該マルチブレクサより送出されるデータは表 1 の 3 段目のマルチブレクサの欄に示すように 0 0 1 のデータである。即ち、演算素子 5 の D O 端子 5 e より 1 のデータが送出され、演算素子 6 の D O 端子 6 e より 0 のデータが送出され、演算素子 7 の D O 端子 7 e より 0 のデータが送出される。

【0037】又、演算素子 5 に設けられるマルチブレクサ 57-5 には、図 29 に示すように端子 5 h には上述した出力データ選択データである 1 のデータが供給されることより、表 1 の 3 段目の、マルチブレクサの欄に示すように 1 のデータが演算素子 5 の I O 端子 5 f より送出される。

【0038】以下同様に 8 段目に配列される演算素子まで順に演算が実行される。上記の説明のように本開平器も 1 段目から 8 段目にかけて計算が順を追って行なわれるが、従来の開平器においては上述したように被開平数の各ビット毎に計算が順を追って実行され各ビットの計算実行時間は、構成ビットデータの内、1 ビットの計算に最も長くを要する場合を見込み構成部分の動作を制御している關係上、例えば 8 ビットからなる数値の計算では 1 ビット毎に一律に計算時間を 20 ナノ秒に設定し動作制御しており上記数値の全ビットを計算するために 160 (= 20 × 8) ナノ秒必要である。一方、本実施例による開平器では、レジスタやシフタ等の動作制御を要する構成部分が含まれていないので従来例のように 1 ビット当たりの計算時間を設定する必要がない。したがって、8 ビットのすべての計算時間について 20 ナノ秒を要した場合はともかく、例えば 1 段目が 2 ナノ秒、2 段目が 4 ナノ秒、3 段目が 6 ナノ秒、4 段目が 10 ナノ秒、5 段目が 12 ナノ秒、6 段目が 15 ナノ秒、7 段目が 18 ナノ秒、8 段目が 20 ナノ秒にて計算が実行された場合には合計計算時間は 87 ナノ秒となるように、通常各ビットにおいて 20 ナノ秒より短い時間で計算が終了するので、本従来例の開平器は従来の開平器に比べ開平計算を格段に高速に処理することができる。又、上述した開平器には従来の開平器のようにレジスタやシフタが含まれていないのでこれらの動作を制御するための制御回路を開平器に設ける必要が無いので回路構成を簡素化することができる。又、被開平数のビット長に合わせて演算素子数を変化させれば良く任意のビット長の開平器を容易に構成することができる。

【0039】

【発明の効果】以上詳述したように本発明によれば、演算素子にはレジスタやシフタ等の動作制御を要する素子

12

を含んでいないことより、開平数のそれぞれのビットデータの演算時間について従来技術のように最も長い演算時間を有するビットデータの演算時間に他のすべてのビットデータの演算時間を一律に合わせる必要がなく、各ビットデータ毎に独自の演算時間にてすべてのビットデータの開平演算を実行することができ、従来の開平器に比べ開平演算処理時間を大幅に短縮することができる。又、演算素子にはレジスタやシフタ等の動作制御を要する素子を含んでいないので、開平器全体として回路構成が複雑化しない。

【図面の簡単な説明】

【図 1】 本発明の開平器の一実施例を示すブロック図である。

【図 2】 図 1 に示す枠 A に対応する部分拡大図である。

【図 3】 図 1 に示す枠 I に対応する部分拡大図である。

【図 4】 図 1 に示す枠 U に対応する部分拡大図である。

20 【図 5】 図 1 に示す演算素子の一単位を示す図である。

【図 6】 図 5 に示す演算素子の構成を示すブロック図である。

【図 7】 図 1 に示す演算素子の一単位を示す図である。

【図 8】 図 7 に示す演算素子の構成を示すブロック図である。

【図 9】 演算素子 1 に設けられるフルアダを示すブロック図である。

【図 10】 図 9 に示すフルアダの動作を説明するためのフルアダのブロック図である。

【図 11】 演算素子 1 に設けられるマルチブレクサを示すブロック図である。

【図 12】 図 11 に示すマルチブレクサの動作を説明するためのマルチブレクサのブロック図である。

【図 13】 演算素子 1 に設けられる他のマルチブレクサを示すブロック図である。

【図 14】 演算素子 3 及び 4 に設けられるインクリメンタの構成を示すブロック図である。

40 【図 15】 図 14 に示すインクリメンタの動作を説明するためのインクリメンタのブロック図である。

【図 16】 演算素子 2 ないし 4 に設けられるフルアダの構成を示すブロック図である。

【図 17】 図 16 に示すフルアダの動作を説明するためのフルアダのブロック図である。

【図 18】 図 16 に示すフルアダの動作を説明するためのフルアダのブロック図である。

【図 19】 演算素子 2 ないし 4 に設けられるマルチブレクサの構成を示すブロック図である。

50 【図 20】 図 19 に示すマルチブレクサの動作を説明

13

するためのマルチブレクサのブロック図である。

【図21】 演算素子2に設けられる他のマルチブレクサの構成を示すブロック図である。

【図22】 演算素子6ないし8に設けられるインクリメンタの構成を示すブロック図である。

【図23】 図22に示すインクリメンタの動作を説明するためのインクリメンタのブロック図である。

【図24】 演算素子5ないし8に設けられるフルアダの構成を示すブロック図である。

【図25】 図24に示すフルアダの動作を説明するためのフルアダのブロック図である。 10

14

【図26】 図24に示すフルアダの動作を説明するためのフルアダのブロック図である。

【図27】 演算素子5ないし8に設けられるマルチブレクサの構成を示すブロック図である。

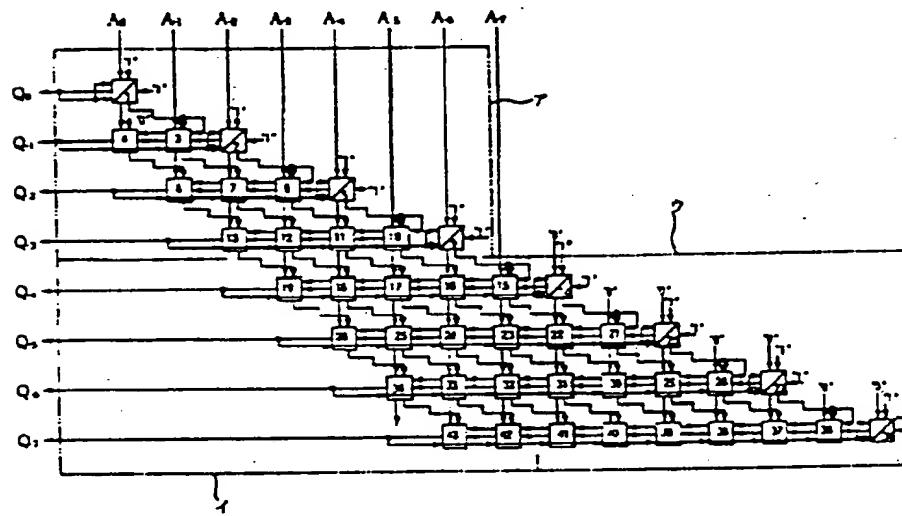
【図28】 図27に示すマルチブレクサの動作を説明するためのマルチブレクサのブロック図である。

【図29】 演算素子5に設けられた他のマルチブレクサの構成を示すブロック図である。

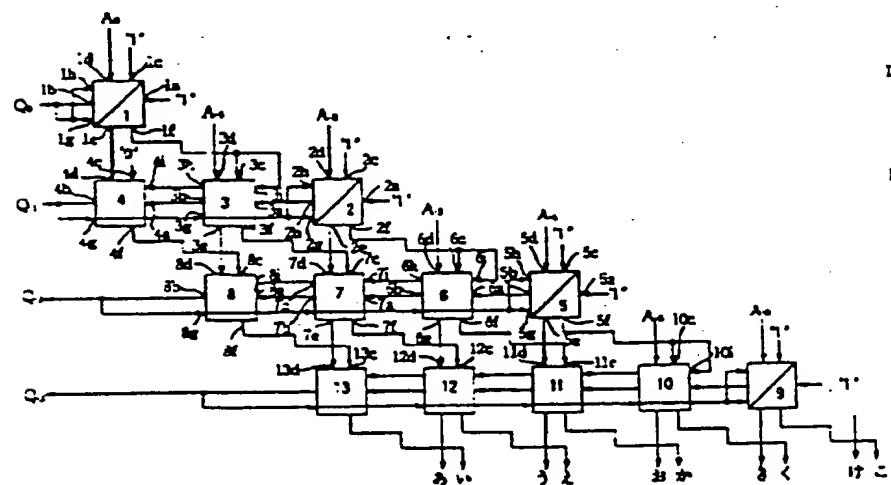
【符号の説明】

1ないし4 3…演算素子。

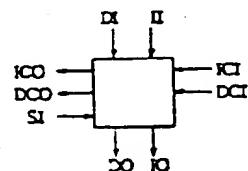
【図1】



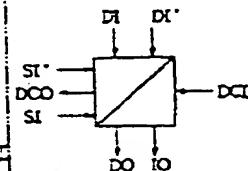
【図2】



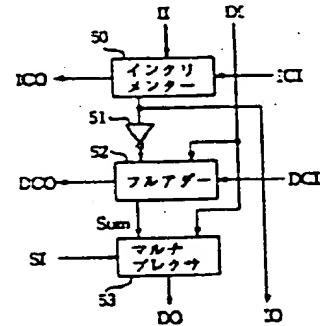
【図5】



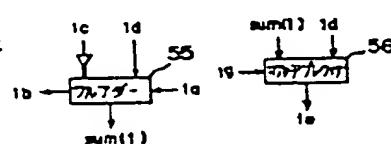
【図7】



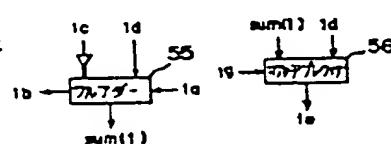
【図6】



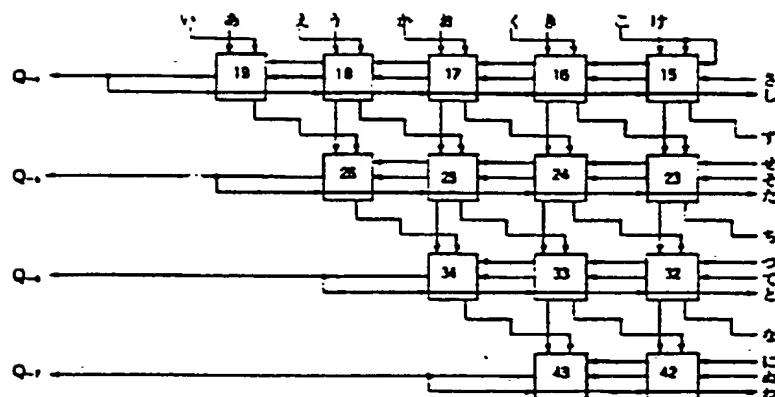
【図9】



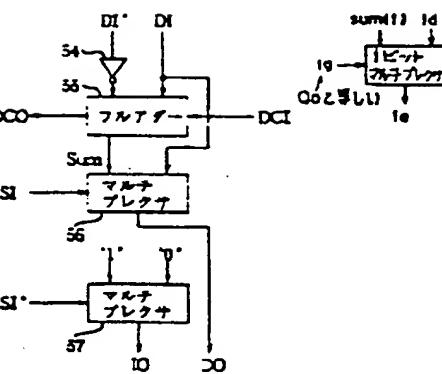
【図11】



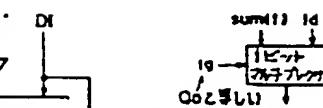
[図 3]



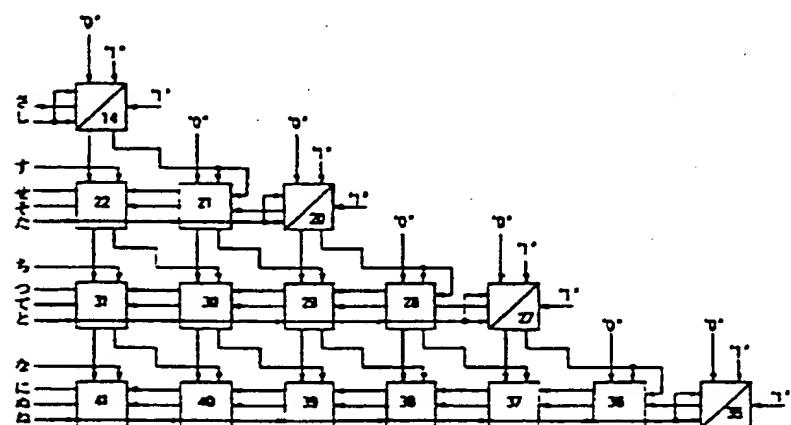
[図 8]



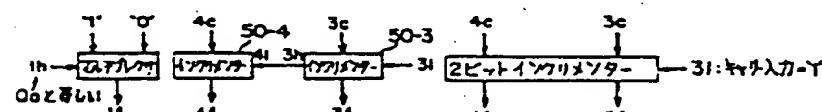
[図 12]



[図 4]



[図 13]

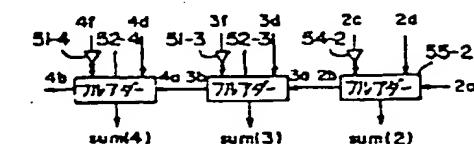


[図 14]

[図 15]



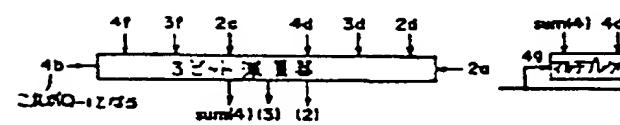
[図 16]



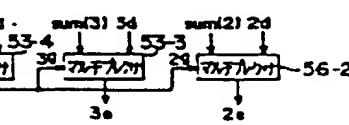
[図 17]



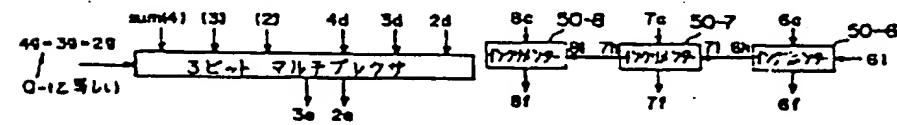
[図 18]



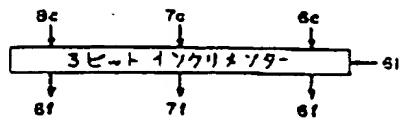
[図 19]



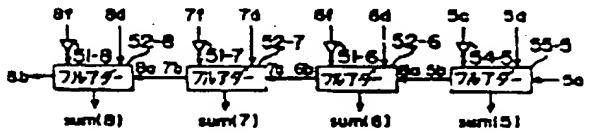
[図 20]



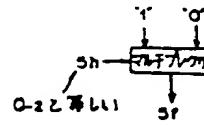
【図23】



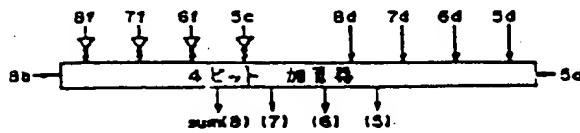
【図24】



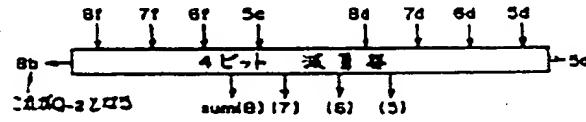
【図29】



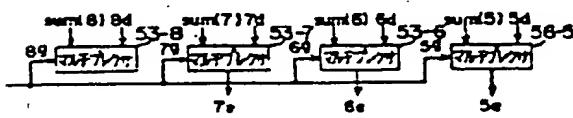
【図25】



【図26】



【図27】



【図28】

